

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-218854

⑬ Int.Cl.<sup>4</sup>

H 01 L 21/76  
21/20

識別記号

庁内整理番号

M-8122-5F  
7739-5F

⑭ 公開 昭和60年(1985)11月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の素子分離方法

⑯ 特 願 昭59-74189

⑰ 出 願 昭59(1984)4月13日

⑱ 発 明 者	遠 藤 伸 裕	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	田 島 昌 雄	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	笠 井 直 記	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑳ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称 半導体装置の素子分離方法

2. 特許請求の範囲

(100)面方位を有する半導体基板の素子分離領域となすべき領域上に(100)面方位と平行なマスクパターンを形成する工程と、基板を垂直状にエッチング除去する工程と、垂直状の側壁に絶縁膜を形成する工程と、前記エッチングされた半導体基板表面に選択的にエピタキシャル半導体膜を堆積する工程とを含むことを特徴とする半導体装置の素子分離方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の素子分離領域を形成する方法に関する。

(従来技術とその問題点)

従来、たとえば絶縁ゲート型電界効果トランジ

スタの素子分離を形成する方法としてLOCOS(Local Oxidation of Silicon)法が多用されていた。LOCOS法は素子領域を酸化速度の極めて遅いシリコン窒化膜で被覆し、熱酸化することによって分離領域に厚い酸化膜を形成する方法であるが、熱酸化膜がシリコン窒化膜端に喰い込む、いわゆるバーズ・ビーク(bird's beak)が必然的に形成される。

このため、分離寸法はマスク寸法よりも大きくなり、結果としてトランジスタのチャネル幅が減少するので、あらかじめマスク設計時にこの変化量を考慮しておく必要がある上、この変化量は両側で1.5~3.0μm程度にもなり、素子の微細化や高密度化を著しく困難にしていた。

素子分離領域を微細化するための改善方法として、分離領域となすべき領域の半導体基板に微細な溝状穿口部を設けて、溝の表面に絶縁膜を形成した後、段差被覆性の優れた多結晶シリコンで穿口部を埋込む方法が、Yoichi Tamaki等によってシャベニーズ・ジャーナル・オブ・アプライ

ド・フィジックス、1982年、サブリメント21-1巻、37頁から40頁に記載されている。こうした溝埋込み分離方法では溝内に埋込む材料として多結晶シリコンが多用されているが、素子活性領域に堆積した多結晶シリコンを除去して平坦化する工程が必要となる。これは通常反応性イオンエッチングなどの方向的なエッチング方法が用いられるが、その工程が複雑で低歩留りであること、広いフィールド領域には従来のLOCOS法が用いられるので、素子分離に要するマスク工程が増えるなどの欠点をもっていた。また、埋込まれた多結晶シリコンは電氣的に浮遊状態にあるので集積化した場合、リーク電流が増えたり、不安定動作を引き起こしたりする問題点もあった。

第1図は従来の溝埋込み型素子分離の製造工程の一例を模式的に示した断面図で、11はシリコン基板、12はシリコン基板内に形成した溝、13は絶縁膜、14は多結晶シリコン膜、15はフィールド酸化膜、16は素子活性領域という構成が多用されている。この従来方法では、シリコン基板内に溝を

形成し溝内を熱酸化法などで絶縁した後、多結晶シリコンを厚く堆積すると溝内は多結晶シリコンで埋込まれ、第1図(a)が得られる。素子活性領域の多結晶シリコンを除去するために反応性イオンエッチング法によって基板に対して垂直方向にエッチングすると微細な溝内の多結晶シリコンは平坦化されるが、広い溝内の多結晶シリコンは除去され、第1図(b)となる。これを避けるために第1図(c)のように広いフィールド領域には従来のLOCOS法が用いられており、そのため素子分離を形成するのにマスク工程が1回増える。また埋込まれた多結晶シリコンは酸化膜などで絶縁されているので、電源配線と接触させない限り、浮遊状態を保っており、電氣的な不安定状態を引き起こす原因ともなる。

#### (発明の目的)

本発明は、上記欠点を除去し、素子分離領域を微細化でき平坦化が極めて容易であり、分離領域形成工程でマスク工程が増えず、しかも分離領域

が電氣的に浮遊状態にならない半導体装置の素子分離方法を提供するものである。

#### (発明の構成)

本発明は、素子分離領域となるべき領域の半導体単結晶基板を垂直状にエッチング除去する工程と、垂直状シリコン側壁に絶縁膜を形成する工程と前記エッチングされた半導体基板表面に選択的にエピタキシャル半導体膜を堆積する工程とを含み、かつ前記半導体基板は〔100〕面方位の単結晶で、前記側壁表面も〔100〕面方位から構成されることを特徴としている。

(構成の詳細な説明)

第2図(a)、(b)は、本発明の方法で形成される構造を第1図(c)に対比して示した模式的断面図で、21は〔100〕面方位の単結晶シリコン基板、22はそれに設けた溝、23は絶縁膜、24は選択エピタキシャルシリコン膜、25はフィールド酸化膜、26は素子活性領域表面をそれぞれ示すものである。

本発明の方法では、基板表面に対してほぼ垂直な溝の側壁にのみ絶縁膜を設け、露出した溝底面

のシリコン基板から選択的にエピタキシャルシリコン膜を堆積し、溝内を埋込むことが特徴的である。本発明を用いることにより微細な分離領域や広い分離領域となる溝部が一回の工程によって同時に、しかも平坦に埋込まれる。しかもエピタキシャル成長中に不純物を導入し、チャネルストッパーを同時に形成することも可能で、さらに埋込まれたシリコンは基板と接続されているので、電氣的浮遊状態になく、従来の問題点が改善される。

第3図(a)は素子活性領域の矩形周囲の四辺がおの〔110〕方位をもっている場合の平面図で(b)はAA'切断によるエピタキシャル膜24の断面を示したものである。シリコン基板の溝部の壁面が垂直状に形成されていると、その壁面がすべてシリコンの〔110〕面に近い面を有する。このため溝内に選択的なシリコンのエピタキシャル成長を施すと、絶縁膜と接するシリコン単結晶領域に〔110〕面から20~24°程度傾いた〔311〕あるいは〔411〕の面方位をもつ4回対称の傾斜面、いわゆるファセットが形成される。

このファセットの生成は絶縁膜界面に核成長した時、成長速度の遅い表面が伸びてくることによると考えられる。溝幅が $1\mu m$ 以下の微細寸法になってくると、溝内のエピタキシャル膜はすでに〔311〕あるいは〔411〕面だけが現われているので、広いフィールド領域のエピタキシャル膜の表面厚みよりも著しく薄くなり、平坦化が困難である。

第4図(a)、(b)は、第3図に対応して示した、本発明によって形成される構造を示したものであるが、素子活性領域となる矩形部の四辺がおのおの〔100〕方位をもっていることが相異点である。矩形部表面はほぼシリコンの〔100〕面から構成されているので、成長速度の非常に遅い〔111〕、〔311〕、〔411〕などによるファセットはほとんど形成されない。

こうして本発明を用いることにより、マスク工程を増やすことがなく、極めて微細で、平坦な素子分離領域を形成することができる。

が得られる。

次に熱酸化膜36を厚さ約50nm形成した後、シリコン窒化膜37を厚さ約50nm堆積し、続いて反応性イオンエッチング法によって方向性エッチングを施すと、穿口部側壁にのみ熱酸化膜36およびシリコン窒化膜37を残すことができる。

次にアニール法などによってドライエッチング損傷を除去した後、 $SiH_4$ 、 $Cl_2$ と $HCl$ と $B_2H_6$ の混合ガスを $H_2$ で輸送してp型の選択エピタキシャル膜38を約 $1.5\mu m$ の膜厚で成長し、溝部に埋込む。p型のエピタキシャルシリコン膜はチャネルストッパーの役割を果たし、エピタキシャル膜厚は、その後の熱酸化工程における体積膨張を考慮し、最終的に平坦になるように決められる。こうして第5図(b)が得られる。

次に熱酸化し、 $0.8\mu m$ のフィールド酸化膜39を形成すると、その工程時に発生するパーズビークは素子活性領域の表面および側壁を被覆したシリコン窒化膜33あるいは37で阻止され、事実上発生しない。この状態は第5図(c)で示される。

(実施例)

次に本発明の実施例を図を用いて説明する。

第5図(a)~(f)は実施例としてnチャネルMOS電界効果トランジスタからなる集積回路の製造工程を工程順に説明するための模式的断面図である。

(100)面を有し、〈100〉方位にオリエンテーションフラットを有するp型単結晶シリコン基板31上に熱酸化膜32およびシリコン窒化膜33およびCVD法によるシリコン酸化膜34からなる三層絶縁膜を形成し、通常の写真蝕刻技術によってシリコン穿口部を設けるためのレジストパターンを形成し、前述の三層絶縁膜に転写する。続いてレジスト膜を除去し、酸化膜34をマスクとしてシリコン基板31を深さ約 $2\mu m$ エッチングし、垂直状の溝35を形成する。垂直状の溝壁面を得るために方向性エッチング手法である反応性イオンエッチング法を使用する。またマスク用酸化膜34の膜厚はシリコン基板内溝の深さに比例して決められ、通常ある溝深さに対して、 $\frac{1}{5} \sim \frac{1}{10}$ 程度の酸化膜厚が用いられる。こうして第5図(a)

次にシリコン窒化膜33および下敷熱酸化膜32を熱リン酸あるいは希フッ酸を用いて除去し、改めて熱酸化法によって所望の膜厚のゲート酸化膜40を形成し、続いて適切なしきい値電圧値を得るためのチャネルドープ41をイオン注入によって形成すると第5図(b)が得られる。

そしてリンをドープした多結晶シリコンをCVD法を用いて堆積し、写真蝕刻法を用いて多結晶シリコンゲート電極42を形成し、続いて全面に砒素などのn型不純物をイオン注入によって付与するとソース・ドレイン領域43が形成される。こうして第5図(c)が得られる。

次に適当なイオン注入アニールを施し、層間絶縁膜としてCVDシリコン酸化膜44を堆積した後、写真蝕刻技術によってコンタクト穴45を開孔し、従来法と同様なアルミニウム金属配線46を形成する。適切なアロイ工程によって良好なオーミック接触が得られ、第5図(d)となる。

この実施例ではシリコンのnチャネルMOSデバイスに対して述べたものであるが、CMOSデバ

スあるいはGaAsなどのデバイスにも本発明を適用することができる。

また溝の深さは特に制限されることはなく、バイポーラトランジスタやMISとバイポーラとを組合わせたBiMOSデバイスにも適用することができる。

本実施例ではフィールド酸化膜39の形成方法にLOCOS法と同様な熱酸化法を用いたが、別にそれに限る必要はなく、RFバイアススパッタ法で絶縁膜を平坦に埋めこむ方法やCVD法をスパッタ法あるいはCVD法とシリカ塗布法をくみあわせて平坦にする方法等でもよい。

#### (発明の効果)

こうして得られた集積回路は素子分離領域の微細化によって著しく高密度・高集積化が可能で、しかもマスク工程も増えず、分離領域が電気的に浮遊状態になることがなく、特殊な微細化装置を用いなくても製造の信頼性や歩留りが高い。

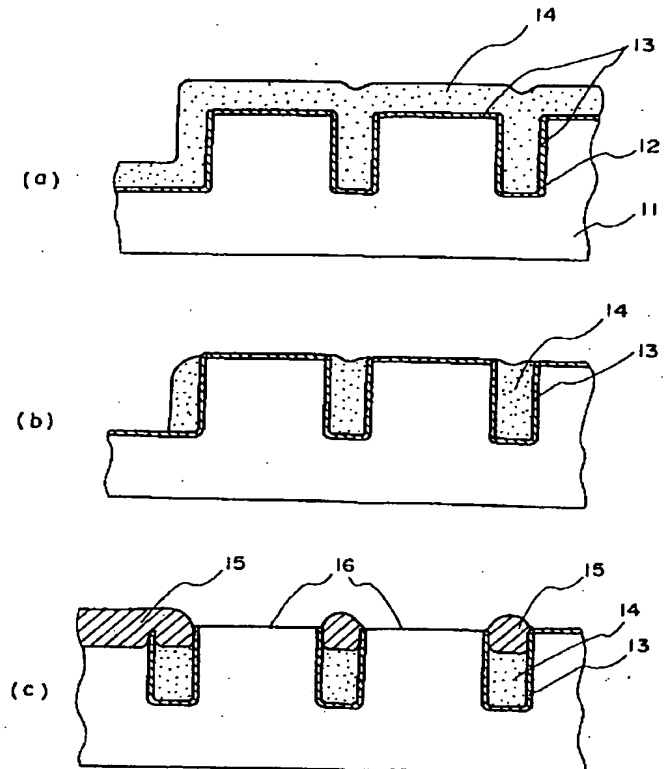
- 34.....シリコン酸化膜
  - 23, 38...選択シリコンエピタキシャル膜
  - 15, 24, 39.....フィールド酸化膜
  - 16.....素子活性領域の表面
  - 25.....第1半導体層の素子活性領域の表面
  - 26.....第2半導体層の素子活性領域の表面
  - 40.....ゲート酸化膜
  - 41.....チャネルドープ領域
  - 42.....多結晶シリコンゲート電極
  - 43.....ソース・ドレイン領域
  - 44.....層間絶縁膜
  - 45.....コンタクト穴
  - 46.....アルミニウム配線
- をそれぞれ示す。

#### 図面の簡単な説明

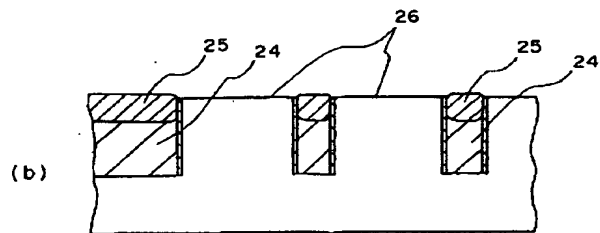
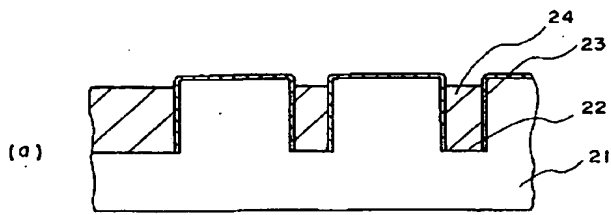
第1図(a), (b), (c)は従来の薄埋込み型分離の構造を模式的に示した断面図で、第2図(a), (b)は第1図に対比して示した本発明構造の模式的断面図を示す。第3図(a), (b)はそれぞれ矩形の4辺がおのおの(110)方位を有するように配した場合の選択エピタキシャル成長後の表面および断面を示した模式的平面図及び断面図で、第4図(a), (b)はそれぞれ矩形の4辺がおのおの(100)方位を有するように配した場合の第3図に対応する模式的平面図及び断面図である。第5図(a)~(f)はnチャネルMOS電界効果トランジスタからなる集積回路の製造工程を説明する概略断面図であり、図中の番号および記号は、

- 11, 21, 31.....(100)シリコン基板
- 12, 35.....シリコン基板内の溝部
- 13, 22.....側壁を被覆した絶縁膜
- 14.....多結晶シリコン
- 32, 36.....薄い熱酸化膜
- 33, 37.....シリコン窒化膜

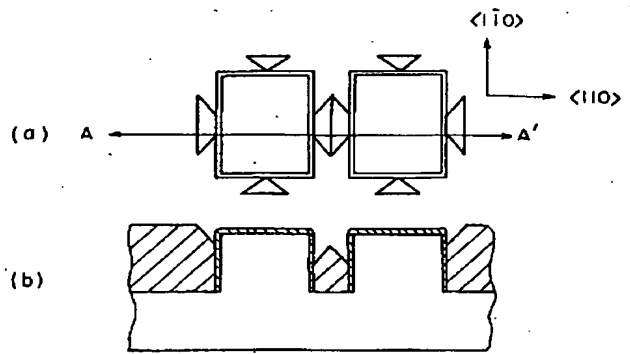
オ | 図



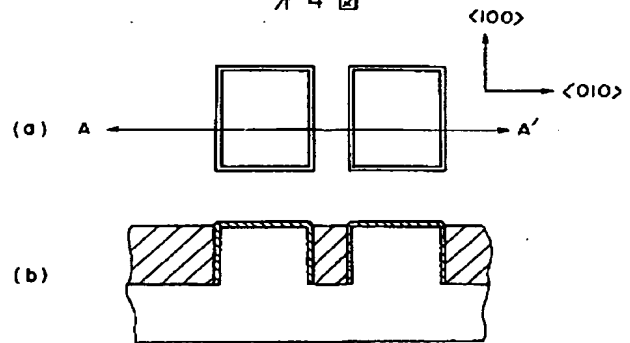
才 2 図



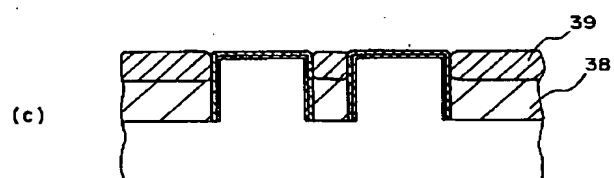
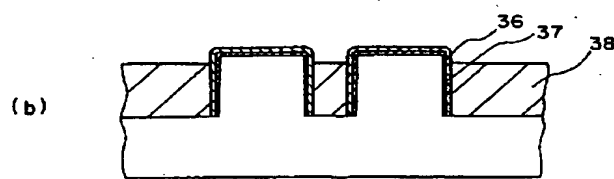
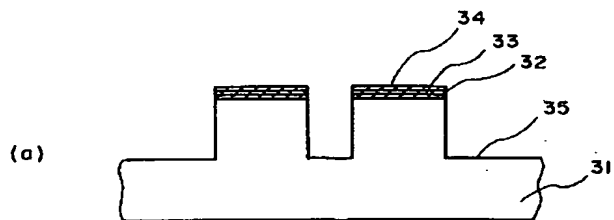
才 3 図



才 4 図



才 5 図



才 5 図

